

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-93280  
(P2001-93280A)

(43)公開日 平成13年4月6日(2001.4.6)

(51) Int.Cl.<sup>7</sup>

### 識別記号

F I  
G 1 1 C 11/34

テマコード(参考)  
5 B 0 2 4

(21)出願番号 特願平11-268359

(22)出願日 平成11年9月22日(1999.9.22)

(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72) 発明者 加来 真理子  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 吉田 宗博  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479  
弁理士 鈴江 武彦 (外6名)

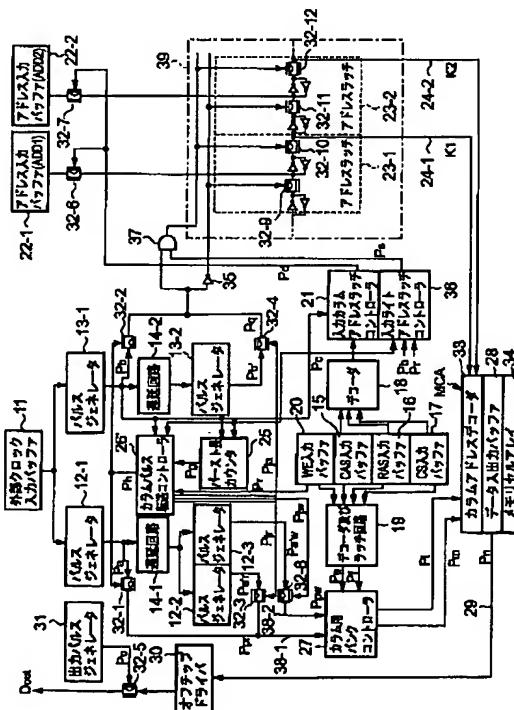
F ターム(参考) 5B024 AA04 BA17 BA21 CA11 CA15

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】カラム系回路の動作マージンを充分に確保できる半導体記憶装置を提供することを目的としている。

【解決手段】POWER-DOWN-EXIT等を除くコマンドの入力、及びデータ書き込みと読み出しが外部クロックに同期して行われ、且つこの外部クロックをトリガとする内部動作同期パルスを用い、カラム系回路の活性化後に上記内部動作同期パルスをトリガとして、バースト長と同数のカラム動作同期パルスを内部で発生する半導体記憶装置において、リードとライトで異なるカラムパルス転送信号Ppr, Ppwを用いてカラム系の回路を制御することを特徴としている。リードとライトで異なるカラム動作周期パルスを用いるので、それぞれの律速要因に合わせて同期パルスのタイミングを調整でき、カラム系回路の動作マージンを充分に確保できる。



## 【特許請求の範囲】

【請求項1】 少なくとも一部のコマンドの入力、及びデータ書き込みと読み出しが外部クロックに同期して行われ、且つこの外部クロックをトリガとする内部動作同期パルスを用い、カラム系コマンド入力後に前記内部動作同期パルスをトリガとして、バースト長と同数のカラム動作同期パルスを内部で発生する半導体記憶装置において、

リード時及びライト時にそれぞれに専用の異なるカラム動作同期パルスを用いることを特徴とする半導体記憶装置。

【請求項2】 カラムコマンド入力サイクルの内部動作同期パルスから、カラム動作同期パルスの一発目のトリガである内部動作同期パルスまでのパルス数が、リード時とライト時で異なることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 トリガとなる内部動作同期パルスからカラム動作同期パルスまでの遅延量が、リード時とライト時で異なることを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 CASレーテンシィが2の場合は、カラムコマンド入力サイクルの内部動作同期パルスが、リード時用のカラム動作同期パルスの一発目のトリガとなり、

CASレーテンシィが3の場合は、カラムコマンド入力の次のサイクルの内部動作同期パルスが、リード時用のカラム系同期パルスの一発目のトリガとなり、

ライト時用のカラム動作同期パルスは、CASレーテンシィに拘わらず、カラムコマンド入力サイクルの内部動作同期パルスが、ライト時用のカラム動作同期パルスの一発目のトリガとなることを特徴とする請求項2または3に記載の半導体記憶装置。

【請求項5】 CASレーテンシィが2の場合は、カラムコマンド入力サイクルの内部動作同期パルスが、リード時用のカラム動作同期パルスの一発目のトリガとなり、

CASレーテンシィが3の場合は、カラムコマンド入力の次のサイクルの内部動作同期パルスが、リード時用のカラム系同期パルスの一発目のトリガとなり、ライト時用のカラム動作同期パルスは、CASレーテンシィに拘わらず、カラムコマンド入力の次のサイクルの内部動作同期パルスが、ライト時用のカラム動作同期パルスの一発目のトリガとなることを特徴とする請求項2または3に記載の半導体記憶装置。

【請求項6】 CASレーテンシィが2の場合は、カラムコマンド入力サイクルの内部動作同期パルスが、ライト時用のカラム動作同期パルスの一発目のトリガとなり、

CASレーテンシィが3の場合は、カラムコマンド入力の次のサイクルの内部動作同期パルスが、ライト時用の

カラム系同期パルスの一発目のトリガとなり、リード時用のカラム動作同期パルスは、CASレーテンシィに拘わらず、カラムコマンド入力サイクルの内部動作同期パルスが、リード時用のカラム動作同期パルスの一発目のトリガとなることを特徴とする請求項2または3に記載の半導体記憶装置。

【請求項7】 CASレーテンシィが2の場合は、カラムコマンド入力サイクルの内部動作同期パルスが、ライト時専用のカラム動作同期パルスの一発目のトリガとなり、

CASレーテンシィが3の場合は、カラムコマンド入力の次のサイクルの内部動作同期パルスが、ライト時用のカラム系同期パルスの一発目のトリガとなり、

リード時用カラム動作同期パルスは、CASレーテンシィに拘わらず、カラムコマンド入力の次のサイクルの内部動作同期パルスが、リード時用のカラム動作同期パルスの一発目のトリガとなることを特徴とする請求項2または3に記載の半導体記憶装置。

【請求項8】 ライト及びリード専用カラム系同期パルスと同時にアクティブとなり、ライト及びリード動作中、内部アドレスをラッチするパルスを用いることを特徴とする請求項1乃至7いずれか1つの項に記載の半導体記憶装置。

【請求項9】 リード及びライトによらず、同一のアドレスラッチ用パルスを用いることを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】 ライトコマンド入力時に、アドレスラッチ用パルスをマスクし、内部アドレスのラッチを解除することを特徴とする請求項9に記載の半導体記憶装置。

【請求項11】 リードコマンド入力時に、アドレスラッチ用パルスをマスクし、内部アドレスのラッチを解除することを特徴とする請求項9に記載の半導体記憶装置。

【請求項12】 少なくとも一部のコマンドの入力、及びデータ書き込みと読み出しが外部クロックに同期して行われ、且つこの外部クロックをトリガとする内部動作同期パルスを用い、カラム系回路の活性化後に前記内部動作同期パルスをトリガとして、バースト長と同数のカラム動作同期パルスを内部で発生する半導体記憶装置において、

外部クロックをトリガとして、チップ内部でリード用のカラム動作同期パルスを生成する第1のパルスジェネレータと、

前記外部クロックをトリガとして、チップ内部でライト用のカラム動作同期パルスを生成する第2のパルスジェネレータと、

リード時に前記第1のパルスジェネレータから出力されるリード用のカラム動作同期パルスが供給される第1の信号線と、

ライト時に前記第2のパルスジェネレータから出力されるライト用のカラム動作同期パルスが供給される第2の信号線と、

前記第1、第2のパルスジェネレータから前記第1、第2の信号線へのカラム動作同期パルスの転送をそれぞれ制御するカラムパルス転送コントローラとを具備することを特徴とする半導体記憶装置。

【請求項13】 前記第1のパルスジェネレータと前記第1の信号線間に設けられ、前記カラムパルス転送コントローラで制御される第1の転送ゲートと、前記第2のパルスジェネレータと前記第2の信号線間に設けられ、前記カラムパルス転送コントローラで制御される第2の転送ゲートとを更に具備することを特徴とする請求項12に記載の半導体記憶装置。

【請求項14】 ライトコマンド入力時にのみ、カラムアドレス取り込みパルスと同時に、コアバスアドレスラッチマスクパルスを活性化して、カラムアドレスラッチパルスをマスクし、入力バッファが取り込んだアドレスをコアバスへ出力させる入力ライトアドレスラッチコントローラを更に具備することを特徴とする請求項12または13に記載の半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 この発明は、半導体記憶装置に関するもので、例えばシンクロナスDRAM等のように、コマンドの入力、データの書き込みあるいは読み出しを、外部クロックと同期させる半導体記憶装置に関する。

##### 【0002】

【従来の技術】 コマンドの入力、データの書き込みあるいは読み出しを、外部クロックと同期させる半導体記憶装置の場合、回路内部の動作が、外部クロックをトリガとしてチップ内部で発生したいくつかの基本パルスと同期している。このような半導体記憶装置にあっては、読み出しこマンドの入力からデータの出力までのアクセスタイムは、外部同期クロックの数で定義される。例えば、シンクロナスDRAM等では、CASレーテンシィ(CL)と呼ばれるもので、スペック上重要な値となる。チップ内部のカラム系回路の動作が同期するカラム動作同期パルスは、この値を満たすタイミングで生成される。また、通常、このカラム動作同期パルスのタイミングは、上記CLにより一義的に決まり、カラムコマンドがリードの場合でもライトの場合でも同一のパルスが用いられる。なぜなら、リードとライトのカラム動作同期パルスが同一である方が、このパルスの制御を簡単化できるという利点があるからである。

【0003】 図5乃至図7はそれぞれ、上述したような従来の半導体記憶装置について説明するためのもので、図5はシンクロナスDRAMにおけるカラム系基本パルスの制御に係する回路部を抽出して示すブロック図、

図6は上記図5に示した回路における入力カラムアドレスラッチコントローラの構成例を示す回路図、及び図7は上記図5に示した回路におけるカラムパルス転送コントローラの構成例を示す回路図である。

【0004】 図5に示す如く、シンクロナスDRAMにおけるカラム系基本パルスの制御に係する回路は、外部クロック入力バッファ11、パルスジェネレータ12-1、12-2、13-1、13-2、遅延回路14-1、14-2、CAS入力バッファ15、RAS入力バッファ16、CS入力バッファ17、デコーダ18、デコーダ及びラッチ回路19、WE入力バッファ20、入力カラムアドレスラッチコントローラ21、アドレス入力バッファ22-1、22-2(ADD1, ADD2)、アドレスラッチ23-1、23-2、コアバス24-1、24-2(アドレスK1, K2)、バースト長カウンタ25、カラムパルス転送コントローラ26、カラム用バンクコントローラ27、データ入出力バッファ28、データ線29、オフチップドライバ30、出力パルスジェネレータ31、転送ゲート32-1～32-7、32-9～32-12、カラムアドレスデコーダ33、メモリセルアレイ34及びインバータ35等を含んで構成されている。

【0005】 また、図6に示す如く、上記入力カラムアドレスラッチコントローラ21は、 NANDゲート41、転送ゲート42及びインバータ43, 44, 45から構成されている。

【0006】 更に、図7に示す如く、上記カラムパルス転送コントローラ26は、ノアゲート51、転送ゲート52～54及びインバータ55～60から構成されている。ここで、転送ゲート52を制御する信号CL20PNは、CASレーテンシィが2の時にこの転送ゲート52を開ける信号であり、また、転送ゲート53を制御する信号CL30PNは、CASレーテンシィが3の時に転送ゲート52を開ける信号である。

【0007】 なお、図5乃至図7では図面を簡単化するために、Pチャネル型MOSトランジスタとNチャネル型MOSトランジスタの電流通路を並列接続して形成した転送ゲート32-1～32-7, 32-9～32-12, 42, 52～54の一方のMOSトランジスタのゲートのみに信号を供給するように表現しているが、他方のMOSトランジスタのゲートには上記信号を反転した信号が供給される。

【0008】 この例においては、カラム動作同期用及びカラムアドレスラッチ用の2種類のカラム系基本パルスを用いており、両者は常に同じタイミングで活性化される。図8及び図9にCL2及びCL3の信号波形を模式化したタイミングチャートをまとめて示す。図8はCL2つまりCASレーテンシィが2の場合、図9はCL3つまりCASレーテンシィが3の場合の信号波形をそれぞれ示している。

【0009】図5に示すように、外部クロック入力バッファ11は、2種類のパルスジェネレータ12-1, 13-1に接続されている。各パルスジェネレータ12-1, 13-1は、図8のタイミングチャートに示すように、外部クロックVCLKの立ち上がりエッジから、互いにパルス幅の異なるパルス信号Pa, Pbを生成する。これらのパルスジェネレータ12-1, 13-1は、それぞれ同一構成の遅延回路14-1, 14-2を介してパルスジェネレータ12-2, 13-2に接続されている。これらのパルスジェネレータ12-2, 13-2はそれぞれ、上記パルス信号Pa, Pbのエッジからパルス信号Pa', Pb'を生成する。パルスジェネレータ12-1, 13-1及び12-2, 13-2は同一構成の回路であり、パルス信号Pa', Pb'はそれぞれパルス信号Pa, Pbを一定時間シフトさせたパルスである。本例においては、後述するように、パルス信号Pa, Pa'はカラム動作同期パルスに、パルス信号Pb, Pb'は主にカラムアドレスラッチパルスに使用されるものとする。

【0010】コマンドピンからカラムアクセスの情報が入力されると、CAS入力バッファ15、RAS入力バッファ16及びCS入力バッファ17にそれぞれ接続されているデコーダ18は、これらの信号をデコードしてカラム系活性化信号Pcを生成する。また、デコーダ及びラッチ回路19には、上記CAS入力バッファ15、RAS入力バッファ16及びCS入力バッファ17に加えて、WE入力バッファ20が接続されており、入力されたコマンドがライトの場合にはライトイネーブル信号Peを、リードの場合にはリードイネーブル信号Pfをそれぞれ活性化する。

【0011】カラム系活性化信号Pcが活性化されると、入力カラムアドレスラッチコントローラ21は、カラムアドレスの取り込みパルスPdを出力する。このパルスPdにより、転送ゲート32-6, 32-7が開かれ、アドレス入力バッファ22-1, 22-2のアドレス情報が、カラムアドレスカウンタ39内のアドレスラッチ23-1, 23-2へ転送され、コアバス24-1, 24-2のアドレスK1, K2が確定される。

【0012】一方、カラム系活性化信号Pcが活性化されることにより、バースト長カウンタ25が活性化される。活性化されたバースト長カウンタ25は、パルス信号Pbによって、バースト長に対応する回数だけカウントアップされる。この間、バースト長カウンタ25は、バーストオペレーション活性化信号Pgを活性化している。

【0013】カラムパルス転送コントローラ26は、CASレーテンシィが2(CL2)の場合、図7に示した回路構成から理解できるように、バーストオペレーション活性化信号Pgが活性化されると直ちにカラムパルス転送信号Pjを活性化する。このカラムパルス転送信号

Pjは転送ゲート32-3, 32-4を開き、パルス信号Pa'をカラム動作同期パルスPpとしてカラム用バンクコントローラ27に、パルス信号Pb'をカラムアドレスラッチパルスPqとしてカラムアドレスカウンタ39内のアドレスラッチ23-1, 23-2へ転送する。この際、インバータ35によって、上記カラムアドレスラッチパルスPqの反転信号もアドレスラッチ23-1, 23-2へ転送される。

【0014】本例では、これらのパルス信号Pa', Pb'が活性化するタイミングに対して、カラムパルス転送信号Pjの活性化タイミングにマージンを持たせるため、カラム系活性化信号Pcとバーストオペレーション活性化信号Pgの論理和を取ってカラムパルス転送信号Pjを生成している。

【0015】カラム用バンクコントローラ27は、カラム動作同期パルスPpをトリガとして、ライトイネーブル信号Peがアクティブであるときは、ライトパルスPiを生成し、リードイネーブル信号Pfがアクティブであるときは、リードパルスPmを生成する。ライトパルスPiは、メモリセル部MCAのデータ入出力バッファ28のライトゲートを開け、メモリセルアレイ34への書き込みを可能にする。また、リードパルスPmは、上記入出力バッファ28のリードゲートを開け、データ線29へセルデータPnを出力させる。上記データ線29上のセルデータPnは、オフチップドライバ30へ転送される。コマンド入力後、2サイクル目の外部クロックVCLKがアクティブになると、出力パルスジェネレータ31がこれをトリガとして出力パルスPoを出力する。この出力パルスPoがオフチップドライバ30の出力端に設けられた転送ゲート32-5を開き、3サイクル目の外部クロックVCLKに間に合うように出力データDoutがに出力される。

【0016】一方、カラム動作同期パルスPpと同時に活性化されるカラムアドレスラッチパルスPqが生成している間、カラムアドレスカウンタ39内のアドレスラッチ23-1, 23-2の内部にある後方レジスタの転送ゲート32-10, 32-12が閉じられ、カラムアドレスラッチパルスPqと同時に生成されるカラム動作同期パルスPpをトリガとするメモリセル部MCAへのリード及びライト動作の間、コアバスアドレスK1, K2がラッチされる。また、同時に、前方のレジスタの転送ゲート32-9, 32-11が開かれ、このレジスタに1桁前のアドレス情報が記憶される。これによって、アドレスラッチ23-1の情報がアドレスラッチ23-2に転送される。パルスPqが非活性化すると、後方のレジスタの転送ゲート32-10, 32-12が開き、記憶してある1桁前のアドレス情報をコアバス24-1, 24-2へ出力する。

【0017】CL3の場合、図9のタイミングチャートから理解できるように、バーストオペレーション活性化

信号  $P_g$  は、カラムパルス転送コントローラ 26 内のレジスタでパルス信号  $P_b$  により 1 サイクル遅れて、カラムパルス転送信号  $P_h$  となる。すなわち、コマンド入力から 1 サイクル遅れて、パルス信号  $P_a, P_b$  がカラム動作同期パルス  $P_p$  及びカラムアドレスラッチパルス  $P_q$  として転送されるため、メモリセル部 MCA へのアクセスもコマンドの入力から 1 サイクル遅れることになり、4 サイクル目の外部クロック VCLK に間に合うようにデータが出力されることになる。

【0018】次に、CL2 及び CL3 のリード動作中、ライトコマンドが割り込んだ場合を考える。図 8 に示す通り、CL2 の場合、ライトコマンド入力時は、カラムアドレスラッチパルス  $P_q$  によるコアバスアドレス  $K_1, K_2$  のラッチが解除されている。よって、アドレスの取り込みは、通常のコマンド入力時と全く一緒である。これに対し、CL3 の場合は、図 9 に示すように、ライトコマンドが入力されている時には、コアバスアドレス  $K_1, K_2$  がカラムアドレスラッチパルス  $P_q$  によりラッチされている。よって、アドレス入力バッファ 2-1, 2-2 から取り込まれたアドレス ADD1, ADD2 は、一旦カウンタ内のアドレスラッチ 23-1, 23-2 に保持され、カラムアドレスラッチパルス  $P_q$  が非アクティブになってからコアバス 24-1, 24-2 へ出力される。

【0019】上記のように、リードとライトで同一のカラム動作同期パルスを用いると、カラムバースト動作中のカラムコマンド割り込み時のアドレス取り込みのシステムを簡素化できるという利点がある。

【0020】ところで、上述したような従来のシンクロナス DRAMにおいて、図 10 及び図 11 に示すように、ライトバースト終了後、次のサイクルでプリチャージコマンドを入力した場合を考える。図 10 は CAS レーテンシイが 2 (CL2) の場合のリード動作中に、ライトコマンドが割り込んだ場合、図 11 は CAS レーテンシイが 3 (CL3) の場合のリード動作中に、ライトコマンドが割り込んだ場合の動作について説明するためのタイミングチャートである。ここで、ライトパルス  $P_m$  による書き込みから、ワード線 WL がリセットされるまでの時間を  $t_{WR}$  とする。プリチャージコマンドの入力からワード線リセットまでの時間は、CL2 でも CL3 でも変わらない。一方、このカラム動作同期パルスのタイミングは、リード動作のタイミングを決定する上で重要な CAS レーテンシイにより一義的に決まる。すなわち、カラムコマンドがリードの場合でもライトの場合でもカラム動作同期パルスは CL2 に比べ CL3 の方が遅くなる。よって、CL3 では CL2 に比べ、 $t_{WR}$  が小さくなり、プリチャージ直前のメモリセルへの書き込みが不十分の内にワード線 WL がリセットされるという問題がある。

【0021】

【発明が解決しようとする課題】上記のように従来の半導体記憶装置は、リードとライトで同一のカラム動作同期パルスを用いているが、両者の動作の律速要因が異なる場合が多いため、カラム系回路の動作マージンが狭められるという問題があった。

【0022】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、カラム系回路の動作マージンを充分に確保できる半導体記憶装置を提供することにある。

10 【0023】

【課題を解決するための手段】この発明の請求項 1 に記載した半導体記憶装置は、少なくとも一部のコマンドの入力、及びデータ書き込みと読み出しが外部クロックに同期して行われ、且つこの外部クロックをトリガとする内部動作同期パルスを用い、カラム系コマンド（リードまたはライトコマンド）入力後に前記内部動作同期パルスをトリガとして、バースト長と同数のカラム動作同期パルスを内部で発生する半導体記憶装置において、リード時及びライト時にそれぞれに専用の異なるカラム動作同期パルスを用いることを特徴としている。

【0024】請求項 2 に記載したように、請求項 1 の半導体記憶装置において、カラムコマンド入力サイクルの内部動作同期パルスから、カラム動作同期パルスの一発目のトリガである内部動作同期パルスまでのパルス数が、リード時とライト時で異なることを特徴とする。

【0025】請求項 3 に記載したように、請求項 1 の半導体記憶装置において、トリガとなる内部動作同期パルスからカラム動作同期パルスまでの遅延量が、リード時とライト時で異なることを特徴とする。

30 【0026】請求項 4 に記載したように、請求項 2 または 3 の半導体記憶装置において、CAS レーテンシイが 2 の場合は、カラムコマンド入力サイクルの内部動作同期パルスが、リード時用のカラム動作同期パルスの一発目のトリガとなり、CAS レーテンシイが 3 の場合は、カラムコマンド入力の次のサイクルの内部動作同期パルスが、リード時用のカラム系同期パルスの一発目のトリガとなり、ライト時用のカラム動作同期パルスは、CAS レーテンシイに拘わらず、カラムコマンド入力サイクルの内部動作同期パルスが、ライト時用のカラム動作同期パルスの一発目のトリガとなることを特徴とする。

【0027】請求項 5 に記載したように、請求項 2 または 3 の半導体記憶装置において、CAS レーテンシイが 2 の場合は、カラムコマンド入力サイクルの内部動作同期パルスが、リード時用のカラム動作同期パルスの一発目のトリガとなり、CAS レーテンシイが 3 の場合は、カラムコマンド入力の次のサイクルの内部動作同期パルスが、リード時用のカラム系同期パルスの一発目のトリガとなり、ライト時用のカラム動作同期パルスは、CAS レーテンシイに拘わらず、カラムコマンド入力の次のサイクルの内部動作同期パルスが、ライト時用のカラム

50

動作同期パルスの一発目のトリガとなることを特徴とする。

【0028】請求項6に記載したように、請求項2または3の半導体記憶装置において、CASレーテンシイが2の場合は、カラムコマンド入力サイクルの内部動作同期パルスが、ライト時用のカラム動作同期パルスの一発目のトリガとなり、CASレーテンシイが3の場合は、カラムコマンド入力の次のサイクルの内部動作同期パルスが、ライト時用のカラム系同期パルスの一発目のトリガとなり、リード時用のカラム動作同期パルスは、CASレーテンシイに拘わらず、カラムコマンド入力サイクルの内部動作同期パルスが、リード時用のカラム動作同期パルスの一発目のトリガとなることを特徴とする。

【0029】請求項7に記載したように、請求項2または3の半導体記憶装置において、CASレーテンシイが2の場合は、カラムコマンド入力サイクルの内部動作同期パルスが、ライト時専用のカラム動作同期パルスの一発目のトリガとなり、CASレーテンシイが3の場合は、カラムコマンド入力の次のサイクルの内部動作同期パルスが、ライト時用のカラム系同期パルスの一発目のトリガとなり、リード時用カラム動作同期パルスは、CASレーテンシイに拘わらず、カラムコマンド入力の次のサイクルの内部動作同期パルスが、リード時用のカラム動作同期パルスの一発目のトリガとなることを特徴とする。

【0030】請求項8に記載したように、請求項1乃至7いずれか1つの項の半導体記憶装置において、ライト及びリード専用カラム系同期パルスと同時にアクティブとなり、ライト及びリード動作中、内部アドレスをラッチするパルスを用いることを特徴とする。

【0031】請求項9に記載したように、請求項8の半導体記憶装置において、ライトコマンド入力時に、アドレスラッチ用パルスをマスクし、内部アドレスのラッチを解除することを特徴とする。

【0032】請求項10に記載したように、請求項9の半導体記憶装置において、ライトコマンド入力時に、アドレスラッチ用パルスをマスクし、内部アドレスのラッチを解除することを特徴とする。

【0033】請求項11に記載したように、請求項9の半導体記憶装置において、リードコマンド入力時に、アドレスラッチ用パルスをマスクし、内部アドレスのラッチを解除することを特徴とする。

【0034】また、この発明の請求項12に記載した半導体記憶装置は、少なくとも一部のコマンドの入力、及びデータ書き込みと読み出しが外部クロックに同期して行われ、且つこの外部クロックをトリガとする内部動作同期パルスを用い、カラム系回路の活性化後に前記内部動作同期パルスをトリガとして、バースト長と同数のカラム動作同期パルスを内部で発生する半導体記憶装置において、外部クロックをトリガとして、チップ内部でリ

ード用のカラム動作同期パルスを生成する第1のパルスジェネレータと、前記外部クロックをトリガとして、チップ内部でライト用のカラム動作同期パルスを生成する第2のパルスジェネレータと、リード時に前記第1のパルスジェネレータから出力されるリード用のカラム動作同期パルスが供給される第1の信号線と、ライト時に前記第2のパルスジェネレータから出力されるライト用のカラム動作同期パルスが供給される第2の信号線と、前記第1、第2の信号線へのカラム動作同期パルスの転送をそれぞれ制御するカラムパルス転送コントローラとを具備することを特徴としている。

【0035】請求項13に記載したように、請求項12の半導体記憶装置において、前記第1のパルスジェネレータと前記第1の信号線間に設けられ、前記カラムパルス転送コントローラで制御される第1の転送ゲートと、前記第2のパルスジェネレータと前記第2の信号線間に設けられ、前記カラムパルス転送コントローラで制御される第2の転送ゲートとを更に具備することを特徴とする。

【0036】請求項14に記載したように、請求項12または13の半導体記憶装置において、ライトコマンド入力時にのみ、カラムアドレス取り込みパルスと同時に、コアバスアドレスラッチマスクパルスを活性化して、カラムアドレスラッチパルスをマスクし、入力バッファが取り込んだアドレスをコアバスへ出力させる入力ライトアドレスラッチコントローラを更に具備することを特徴とする。

【0037】上記のような構成によれば、リードとライトで異なるカラム動作周期パルスを用いるので、それぞれの律速要因に合わせて同期パルスのタイミングを調整でき、カラム系回路の動作マージンを充分に確保できる。これによって、CASレーテンシイが3の時にCASレーテンシイが2の場合に比べ、tWRが小さくなり、プリチャージ直前のメモリセルへの書き込みが不十分の内にワード線がリセットされるという問題も回避できる。

【0038】  
【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1乃至図3はそれぞれ、この発明の実施の形態に係る半導体記憶装置について説明するためのもので、図1はシンクロナスDRAMにおけるカラム系基本パルスの制御に関する回路部を抽出して示すブロック図、図2は上記図1に示した回路における入力ライトアドレスラッチコントローラの構成例を示す回路図、及び図3は上記図1に示した回路におけるカラムパルス転送コントローラの構成例を示す回路図である。図1乃至図3において上記図5乃至図7と同一部分には同じ符号を付してその詳細な説明は省略する。

【0039】すなわち、この発明は、カラム動作同期パルス（内部動作同期パルス）をライト専用とリード専用に分けるものである。この実施の形態では、リード時とライト時でそれぞれに専用の異なるカラム動作同期パルスを用いる方法の一例を示しており、CAS レーテンシィ (CL) に拘わらずライトを従来の CAS レーテンシィが 2 (CL 2) のタイミングで行わせている。

【0040】図1に示す如く、シンクロナスDRAMにおけるカラム系基本パルスの制御に関する回路は、外部クロック入力バッファ11、パルスジェネレータ12-1, 12-2, 12-3, 13-1, 13-2、遅延回路14-1, 14-2、CAS入力バッファ15、RAS入力バッファ16、CS入力バッファ17、デコーダ18、デコーダ及びラッチ回路19、WE入力バッファ20、入力カラムアドレスラッチコントローラ21、アドレス入力バッファ22-1, 22-2、アドレスラッチ23-1, 23-2、コアバス24-1, 24-2(アドレスK1, K2)、バースト長カウンタ25、カラムパルス転送コントローラ26'、カラム用バンクコントローラ27、データ入出力バッファ28、データ線29、オフチップドライバ30、出力パルスジェネレータ31、転送ゲート32-1～32-8、カラムアドレスデコーダ33、メモリセルアレイ34、インバータ35、入力ライトアドレスラッチコントローラ36、アンドゲート37及び信号線38-1, 38-2等を含んで構成されている。

【0041】この図1に示す回路は、図5に示した従来の回路に、パルスジェネレータ12-3、転送ゲート32-8、リード用のカラムパルス転送信号P<sub>p r</sub>を転送するための信号線38-1、ライト用のカラムパルス転送信号P<sub>p w</sub>を転送するための信号線38-2、入力ライトアドレスラッチコントローラ36、及びアンドゲート37等を附加したものである。

【0042】上記パルスジェネレータ12-3は、パルスジェネレータ12-2と並列に遅延回路14-1に接続されている。このパルスジェネレータ12-3は、パルス信号P a' と同じタイミングで活性化されるパルス信号P a' wを生成する。パルス信号P aは、CASレーテンシイが3(CL3)のリードの時に、カラムパルス転送コントローラ26'で生成される。カラムパルス転送信号P hにより、リード用カラムパルス転送信号P p rとして信号線38-1へ転送される。また、パルス信号P a' rは、CASレーテンシイが2(CL2)のリード時に、リードカラムパルス同期パルスP j rにより、リード用カラムパルス転送信号P p rとして信号線38-1へ転送される。パルスP a' wは、ライト時にカラムパルス転送コントローラ26'で生成されるパルスP j' wにより、ライト用カラムパルス転送信号P p wとして信号線38-2へ転送される。

【0043】また、カラムパルス転送コントローラ2

6'には、上記パルスジェネレータ13-1から出力されるパルス信号Pb、上記デコーダ18から出力されるカラム系活性化信号Pc、及び上記バースト長カウンタ25から出力されるバーストオペレーション活性化信号Pgに加えて、WE入力バッファ20から出力されるライト入力パルスPr及びライトイネーブル信号Peとりードイネーブル信号Pfが供給される。そして、このカラムパルス転送コントローラ26'から、上記転送ゲート32-1、32-2を制御するパルス信号Ph、上記転送ゲート32-3を制御するリード用カラムパルス同期パルスPjr、上記転送ゲート32-8を制御するライト用カラムパルス同期パルスPjw、及び上記転送ゲート32-4を制御するパルス信号Pjaをそれぞれ出力するようになっている。

【0044】上記入力ライトアドレスラッチコントローラ36は、図2に示すように、 NANDゲート71、 転送ゲート72及びインバータ73, 74, 75から構成されている。この入力ライトアドレスラッチコントローラ36から出力されるライトカラムアドレスラッチパルス20 Psは、アンドゲート37の一方の入力端に供給され、カラムアドレスラッチパルスPqによるアドレスラッチ23-1, 23-2におけるコアバスアドレスK1, K2のラッチを解除する。

【0045】更に、上記カラムパルス転送コントローラ26'は、図3に示すように、アンドゲート81～83、ナンドゲート84～89、オアゲート90、転送ゲート91及びインバータ92～96から構成されている。このカラムパルス転送コントローラ26'は、基本的には2つのフリップフロップラッチ回路からなる。上記フリップフロップラッチ回路は、CL2のカラムコマ

40 ンド入力時、あるいは C L 3 でライトコマンド入力時に、カラム系活性化信号 P c から NANDゲート 8 6 の出力信号 P j' を活性化し、バーストオペレーション活性化信号 P g でこれをラッチする。また、バーストオペレーションが終了すると、信号 S C によってラッチが解除され、NANDゲート 8 6 の出力信号 P j' が非活性化される。上記信号 S C は、バーストオペレーション終了時に生成される負のパルスであるが、ここではその生成機構については述べない。NANDゲート 8 6 の出力信号 P j' からリード時には信号 P j' r 、ライト時には P j' w が生成され、また双方の場合も、パルス信号 P j a が NANDゲート 8 6 の出力信号 P j' から生成される。一方、下段のフリップフロップラッチ回路は、C L 3 のリードコマンド入力時に、カラム系活性化信号 P c から NANDゲート 8 8 の出力信号 P h' を活性化し、バーストオペレーション活性化信号 P g でこれをラッチする。P h' はパルス信号 P b の非活性で転送ゲート 9 1 が開くことによって、コマンド入力から 1 サイクル遅れて P h となる。また、C L 2 と同様 C L 3 でも、バースト動作終了後、信号 S C によりラッチが解除され、出力

信号  $P_{h'}$  が非活性化される。この場合もパルス信号  $P_b$  の非活性によって転送ゲート 91 が開くことによってコマンド入力から 1 サイクル遅れてカラムパルス転送信号  $P_h$  が非活性化される。

【0046】また、上記カラムパルス転送コントローラ 26' 内では、信号  $S_A$  によって NAND ゲート 88 の出力信号  $P_{h'}$  の、あるいは信号  $S_B$  によって NAND ゲート 86 の出力信号  $P_{j'}$  のラッチを解除できるシステムになっており、CL3 のライトバースト中のリード割り込み、あるいはリードバースト中のライト割り込みの際は、NAND ゲート 88 の出力信号  $P_{h'}$  と NAND ゲート 86 の出力信号  $P_{j'}$  との切換ができるように設計されている。

【0047】なお、図 1 乃至図 3 では図面を簡単化するために、P チャネル型 MOS トランジスタと N チャネル型 MOS トランジスタの電流通路を並列接続して形成した転送ゲート 32-1 ～ 32-8、72、91 の一方の MOS トランジスタのゲートのみに信号を供給するように表現しているが、他方の MOS トランジスタのゲートには上記信号を反転した信号が供給される。また、図 3 における CL2 ACT, CL3 ACT はそれぞれ、CL2, CL3 の時に活性化される信号である。

【0048】次に、上記構成のシンクロナス DRAM の動作について、図 4 のタイミングチャートにより説明する。

【0049】図 4 は、CL3 のリードバースト動作へのライトでの割り込みを示すタイミングチャートである。上述したような、カラム同期パルスシステムを用いると、CL3 のリードバースト中のライト割り込みの際は、アドレス入力バッファ 22-1, 22-2 のアドレス情報 ADD1, ADD2 を取り込むために、ライトコマンド入力時にコアバス 24-1, 24-2 のアドレスラッチ 23-1, 23-2 のラッチを解除しなければならない。

【0050】本実施の形態では、ライトコマンドの入力時にのみ、カラムアドレス取り込みパルス  $P_d$  と同時に、コアバスアドレスラッチマスクパルス  $P_s$  を活性化し、これによってカラムアドレスラッチパルス  $P_q$  をマスクし、アドレス入力バッファ 22-1, 22-2 が取り込んだアドレス ADD1, ADD2 をコアバス 24-1, 24-2 へ出力する。上記パルス  $P_s$  は、入力ライトアドレスラッチコントローラ 36 (図 2 参照) によって生成されるが、このコントローラ 36 は、カラムアドレス取り込みパルス  $P_d$  を生成する入力カラムアドレスラッチコントローラ 21 の入力信号にライト入力パルス  $P_r$  を加えただけのものであり、入力ライトアドレスラッチコントローラ 36 と入力カラムアドレスラッチコントローラ 21 のロジック構成は実質的に同様であり、両者はほぼ同じタイミングで活性化される。そのため入力ライトアドレスラッチコントローラ 36 が転送ゲート 3

2-10, 32-12 を開け、アドレス ADD1, ADD2 を取り込むと同時にコアバスのラッチ 23-1, 23-2 が解除されるので、取り込んだアドレス ADD1, ADD2 は、通常のコマンド入力の場合と同じタイミングでコアバス 24-1, 24-2 に転送される。

【0051】上記のような構成によれば、アドレスの取り込みに支障をきたすことなく、リードとライトで異なるカラムパルス転送信号  $P_{pr}$ ,  $P_{pw}$  を用いるので、それぞれの律速要因に合わせて同期パルスのタイミングを調整でき、カラム系回路の動作マージンを充分に確保できる。これによって、CL3 の時に CL2 の場合に比べ、ライトパルスによる書き込みから、ワード線がリセットされるまでの時間  $t_{WR}$  が小さくなり、プリチャージ直前のメモリセルへの書き込みが不十分の内にワード線がリセットされるという問題も回避できる。

【0052】

【発明の効果】以上説明したように、この発明によれば、カラム系回路の動作マージンを充分に確保できる半導体記憶装置が得られる。

20 【図面の簡単な説明】

【図 1】この発明の実施の形態に係る半導体記憶装置について説明するためのもので、シンクロナス DRAM におけるカラム系基本パルスの制御に関係する回路部を抽出して示すブロック図。

【図 2】この発明の実施の形態に係る半導体記憶装置について説明するためのもので、図 1 に示した回路における入力ライトアドレスラッチコントローラの構成例を示す回路図。

30 【図 3】この発明の実施の形態に係る半導体記憶装置について説明するためのもので、図 1 に示した回路におけるカラムパルス転送コントローラの構成例を示す回路図。

【図 4】図 1 乃至図 3 に示した半導体記憶装置において、CAS レーテンシイが 3 の場合のリード時に、ライトコマンドが割り込んだ場合の各信号波形を模式化して示すタイミングチャート。

【図 5】従来の半導体記憶装置について説明するためのもので、シンクロナス DRAM におけるカラム系基本パルスの制御に関係する回路部を抽出して示すブロック図。

40 【図 6】従来の半導体記憶装置について説明するためのもので、図 5 に示した回路における入力カラムアドレスラッチコントローラの構成例を示す回路図。

【図 7】従来の半導体記憶装置について説明するためのもので、図 5 に示した回路におけるカラムパルス転送コントローラの構成例を示す回路図。

【図 8】図 5 乃至図 7 に示した半導体記憶装置において、CAS レーテンシイが 2 の場合の各信号波形を模式化して示すタイミングチャート。

50 【図 9】図 5 乃至図 7 に示した半導体記憶装置におい

て、CAS レーテンシイが 3 の場合の各信号波形を模式化して示すタイミングチャート。

【図10】CASレーテンシイが2の場合のリード動作中に、ライトコマンドが割り込んだ場合の動作について説明するためのタイミングチャート。

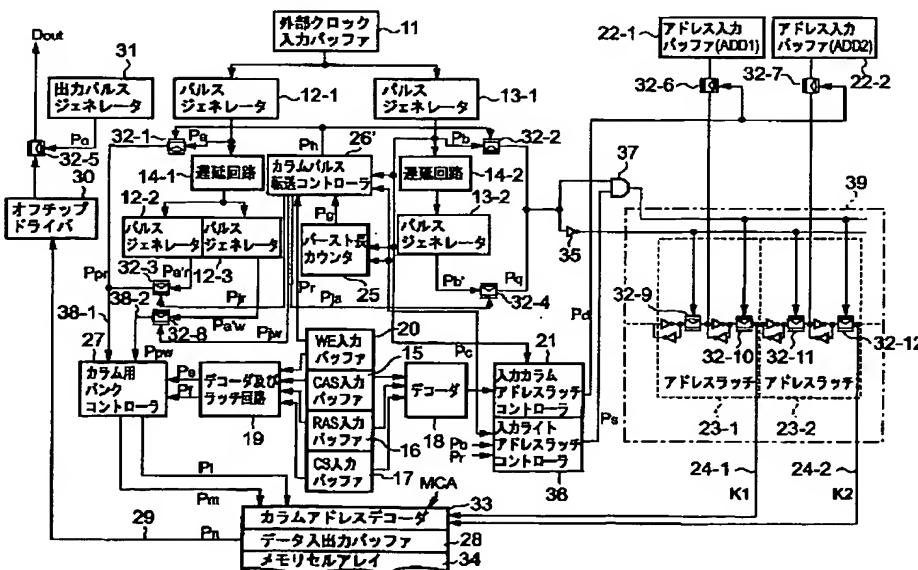
【図11】CASレーテンシイが3の場合のリード動作中に、ライトコマンドが割り込んだ場合の動作について説明するためのタイミングチャート。

## 【符号の説明】

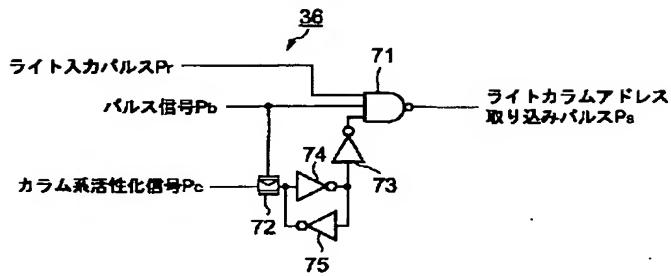
1 1 …外部クロック入力バッファ、  
1 2 - 1, 1 2 - 2, 1 3 - 1, 1 3 - 2 …パルスジェ  
ネレータ、  
1 4 - 1, 1 4 - 2 …遅延回路、  
1 5 …CAS入力バッファ、  
1 6 …RAS入力バッファ、  
1 7 …CS入力バッファ、  
1 8 …デコーダ、  
1 9 …デコーダ及びラッチ回路、  
2 0 …WE入力バッファ、  
2 1 …入力カラムアドレスラッチコントローラ、  
2 2 - 1, 2 2 - 2 …アドレス入力バッファ、  
2 3 - 1, 2 3 - 2 …アドレスラッチ、  
2 4 - 1, 2 4 - 2 …コアバス、  
2 5 …バースト長カウンタ、  
2 6' …カラムパルス転送コントローラ、  
2 7 …カラム用バンクコントローラ、  
2 8 …データ入出力バッファ、  
2 9 …データ線、

3 0 … オフチップドライバ、  
3 1 … 出力パルスジェネレータ、  
3 2 - 1 ~ 3 2 - 1 2, 7 2, 9 1 … 転送ゲート、  
3 3 … カラムアドレスデコーダ、  
3 4 … メモリセルアレイ、  
3 5, 7 3 ~ 7 5, 9 2 ~ 9 6 … インバータ、  
3 6 … 入力ライトアドレスラッチコントローラ、  
3 7, 8 1 ~ 8 3 … アンドゲート、  
8 4 ~ 8 9 ナンドゲート、  
9 0 … オアゲート、  
M C A … メモリセル部、  
V C L K … 外部ロック、  
P a, P a' P b, P b' … パルス信号、  
P c … カラム系活性化信号、  
P g … パーストオペレーション活性化信号、  
P e … ライトイネーブル信号、  
P f … リードイネーブル信号、  
P h, P j a … カラムパルス転送信号、  
P j r … リードカラムパルス同期パルス、  
P j w … ライトカラムパルス同期パルス、  
P p r … リード用カラムパルス転送信号、  
P p w … ライト用カラム動作同期パルス、  
P 1 … リードパルス、  
P m … ライトパルス、  
P d … カラムアドレス取り込みパルス、  
P s … コアバスアドレスラッチマスクパルス、  
P q … カラムアドレスラッチパルス、  
K 1, K 2 … コアバスアドレス。

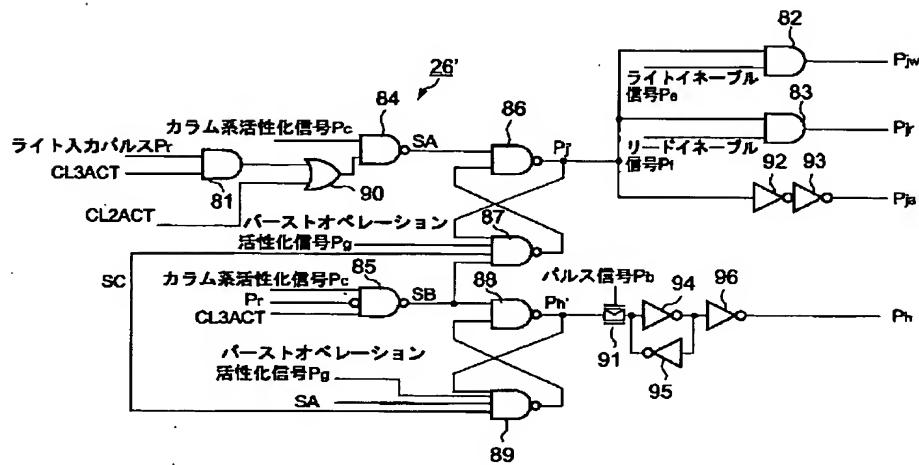
【図1】



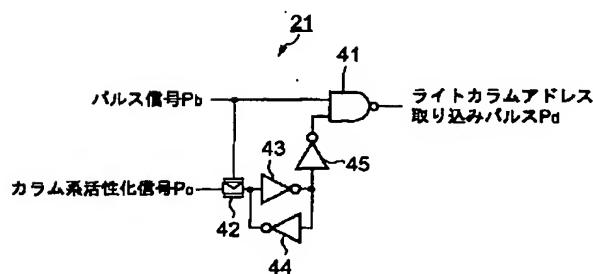
【図2】



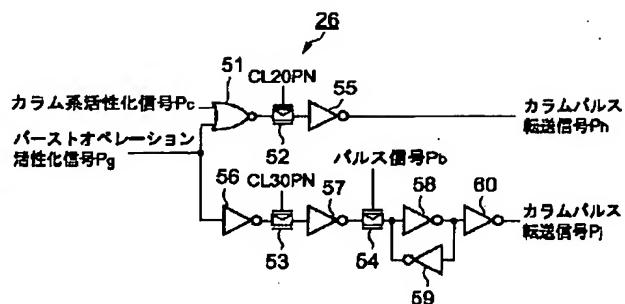
【図3】



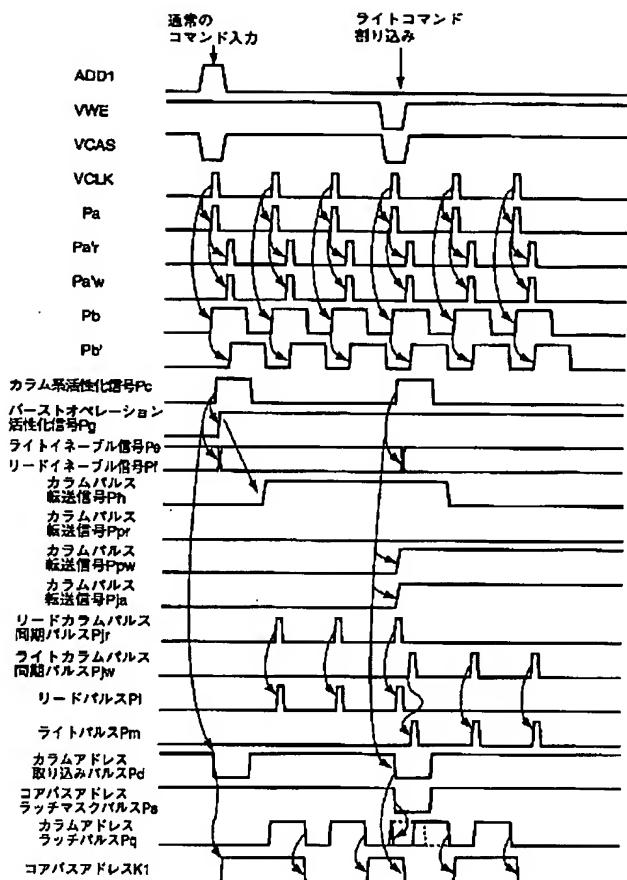
【図6】



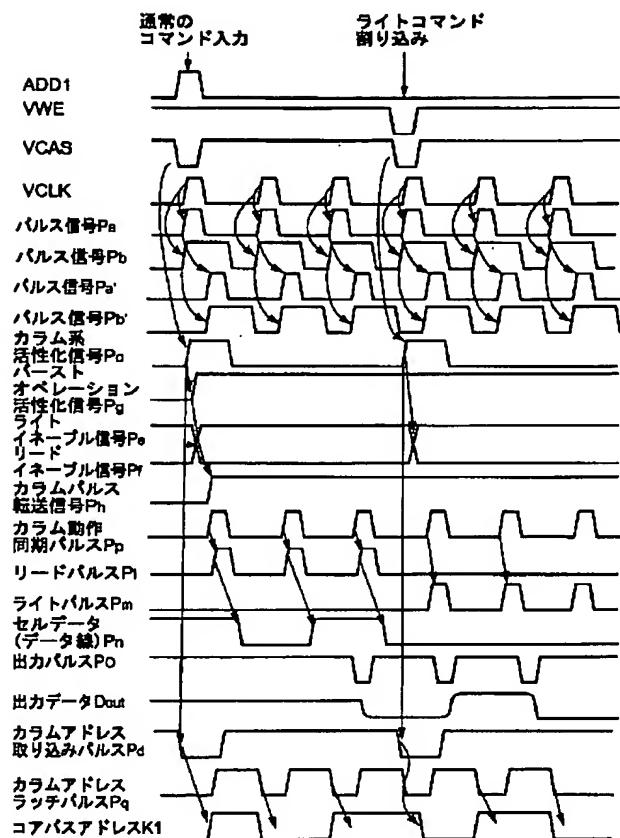
【図7】



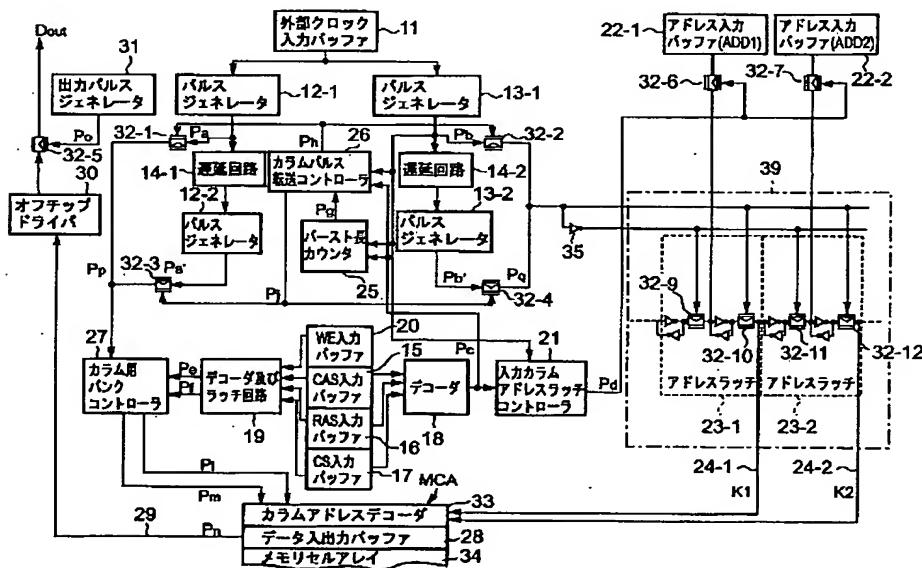
〔図4〕



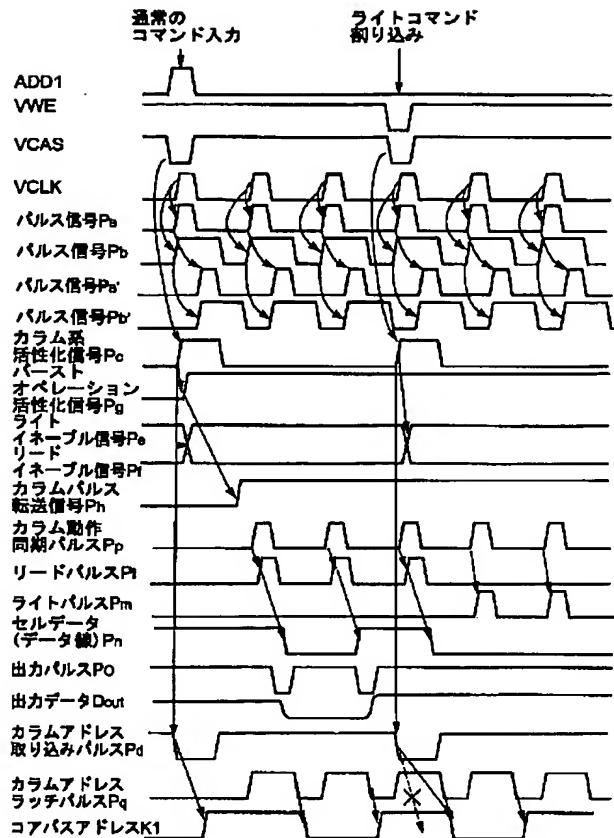
[图 8]



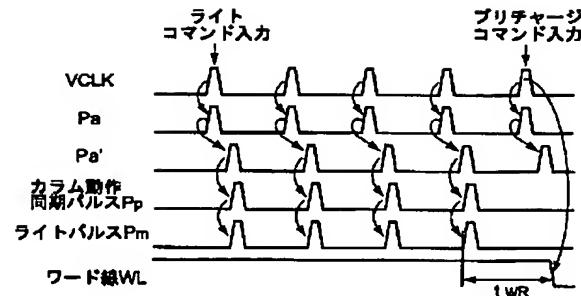
〔四〕 5



【図9】



【図10】



【図11】

